

CLOCK OUTPUT MONITORING METHOD AND CLOCK OUTPUT MONITORING CIRCUIT

Publication number: JP7307728

Publication date: 1995-11-21

Inventor: FUJIZU TADASHI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: H03K5/19; G06F1/04; H04L7/00; H03K5/19; G06F1/04; H04L7/00; (IPC1-7): H04L7/00; H03K5/19

- European:

Application number: JP19940123330 19940513

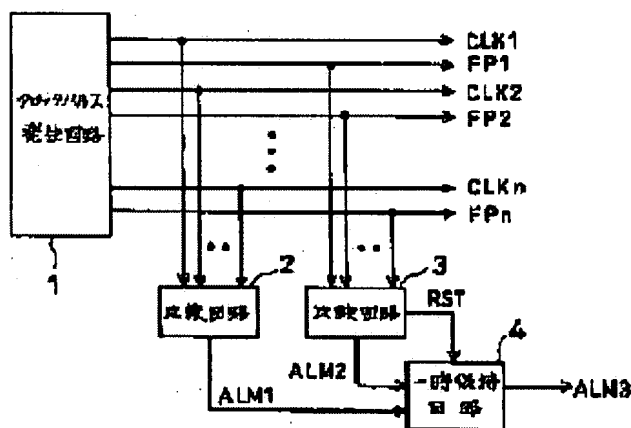
Priority number(s): JP19940123330 19940513

Report a data error here

Abstract of JP7307728

PURPOSE: To suppress the increase of a circuit scale in accordance with the increase of the number of signals and to shorten the detection time from the generation of an abnormality to the detection.

CONSTITUTION: A clock pulse generation circuit 1 generates clock signals CLK 1 to CLK n and frame pulse signals FP 1 to FP n. A comparison circuit 2 compares the waveforms of the clock signals CLK 1 to CLK n and generates a comparison result signal ALM 1 from the difference. A comparison circuit 3 compares the waveforms of the frame pulse signals FP 1 to FP n, generates a comparison result signal ALM 2 from the difference and generates a reset signal RST from the frame pulse signals. A temporary holding circuit 4 holds the signals ALM 1 and ALM 2 when these signals are outputted and release the holding of the signals by the input of a signal RST.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-307728

(43)公開日 平成7年(1995)11月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/00	H			
H 0 3 K 5/19	L			

審査請求 有 請求項の数 3 F D (全 6 頁)

(21)出願番号 特願平6-123330

(22)出願日 平成6年(1994)5月13日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 藤津 正

東京都港区芝五丁目7番1号 日本電気株式会社内

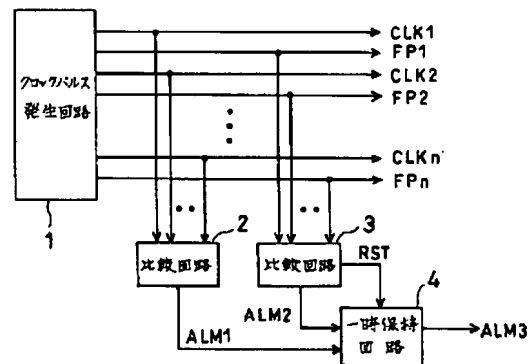
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 クロック出力監視方法及びクロック出力監視回路

(57)【要約】

【目的】 信号数の増大に伴う回路規模の増大を抑え、異常が発生してから検出するまでの検出時間を短縮する。

【構成】 クロックパルス発生回路1はクロック信号CLK1~CLKn及びフレームパルス信号FP1~FPnを発生する。比較回路2はクロック信号CLK1~CLKnの波形を比較してその相違から比較結果信号ALM1を生成する。比較回路3はフレームパルス信号FP1~FPnの波形を比較してその相違から比較結果信号ALM2を生成し、またフレームパルス信号からリセット信号RSTを生成する。一時保持回路4は信号ALM1、ALM2が出力されたときにこれを保持して信号RSTの入力によりこの保持を解除する。



1

【特許請求の範囲】

【請求項1】 クロックパルス発生回路から出力される複数のクロック信号及びフレームパルス信号の異常を監視するクロック出力監視方法において、

複数のクロック信号の波形を比較してその相違から第1の比較結果信号を生成し、

複数のフレームパルス信号の波形を比較してその相違から第2の比較結果信号を生成し、

前記第1又は第2の比較結果信号に基づいてクロック信号及びフレームパルス信号の異常を検出することを特徴とするクロック出力監視方法。

【請求項2】 クロックパルス発生回路から出力される複数のクロック信号及びフレームパルス信号の異常を監視するクロック出力監視回路において、

複数のクロック信号の内の1つを基本クロック信号としてこれと他の全てのクロック信号とを波形比較し、その相違を第1の比較結果信号とする第1の比較回路と、複数のフレームパルス信号の内の1つを基本フレームパルス信号としてこれと他の全てのフレームパルス信号とを波形比較し、その相違を第2の比較結果信号とする第2の比較回路と、

前記第1又は第2の比較結果信号が出力されたときに、これを所定時間保持して警報信号として出力する一時保持回路とを有することを特徴とするクロック出力監視回路。

【請求項3】 請求項2記載のクロック出力監視回路において、

第1の比較回路は、前記基本クロック信号と他のクロック信号の内の1つが入力される複数の排他的論理和回路と、この複数の排他的論理和回路の出力の論理和をとりこの結果を第1の比較結果信号とする論理和回路とからなり、

第2の比較回路は、前記基本フレームパルス信号と他のフレームパルス信号の内の1つが入力される複数の排他的論理和回路と、この複数の排他的論理和回路の出力の論理和をとりこの結果を第2の比較結果信号とする論理和回路と、複数のフレームパルス信号の論理積をとりこの結果をリセット信号とする論理積回路とからなり、

一時保持回路は、前記第1、第2の比較結果信号からノイズを除去する第1、第2の雑音除去回路と、この第1、第2の雑音除去回路から信号が出力されたときにこれを保持して前記リセット信号の入力により前記保持を解除する第1、第2の保持回路と、この第1、第2の保持回路の出力の論理和をとりこの結果を警報信号として出力する論理和回路とからなることを特徴とするクロック出力監視回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、伝送装置等で用いられるクロック信号及びフレームパルス信号の異常を検出す

2

るクロック出力監視に関するものである。

【0002】

【従来の技術】 図5は伝送装置等で用いられる複数のクロック信号及びフレームパルス信号の異常を検出する従来のクロック出力監視回路のブロック図である。1は複数のクロック信号CLK1～CLKn及びフレームパルス信号FP1～FPnを発生するクロックパルス発生回路、10は1組のクロック信号とフレームパルス信号の出力断を検出する断検出回路、11は論理和回路である。次に、このようなクロック出力監視回路の動作を説明する。クロックパルス発生回路1は、同期したクロック信号CLK1、フレームパルス信号FP1を1組として、これらをクロック信号CLKn、フレームパルス信号FPnのn組まで複数組発生する。断検出回路10は、このような1組のクロック信号とフレームパルス信号の出力断を検出する。

【0003】 図6はこの断検出回路10のブロック図、図7はこの断検出回路10の動作を説明するためのタイミングチャート図であり、ここではクロック信号CLK1、フレームパルス信号FP1の組で説明する。図6において、50はフリップフロップ回路、51は単安定マルチバイブレータ回路である。フレームパルス信号FP1は図7(a)のように1フレームごとにクロックパルス発生回路1から出力される。そして、フリップフロップ回路50は、このフレームパルス信号FP1をクロック信号CLK1の立ち上がりで保持する。その結果、フリップフロップ回路50の出力信号Qは図7(c)のようになる。

【0004】 次に、単安定マルチバイブレータ回路51は、「L」レベルの信号Qが入力される度に、ある時間幅だけ警報信号ALM4を「H」レベルにする。この時間幅は、1フレーム周期よりも長く設定されており、よってクロック信号CLK1及びフレームパルス信号FP1が正常であれば、警報信号ALM4は「L」レベルに戻る前に信号Qで繰り返し「H」レベルに設定され、この状態が維持される。

【0005】 今、図7(a)の箇所Cに示すように、何らかの異常によってフレームパルス信号FP1の出力断が発生すると、「L」レベルの信号Qが出力されなくなり、警報信号ALM4は上記の時間幅の経過後に「L」レベルとなる。このようにして、クロック信号CLK1又はフレームパルス信号FP1の異常が検出される。そして、論理和回路11は、このような検出を行う複数の断検出回路10の論理和をとって最終的な警報信号を出力し、クロック信号CLK1～CLKn及びフレームパルス信号FP1～FPnの監視を実現している。

【0006】

【発明が解決しようとする課題】 従来のクロック出力監視回路は、クロック信号及びフレームパルス信号の数だけ断検出回路を設けなければならないため、信号数の増

大に伴ってクロック出力監視回路の規模が過大になるという問題点があった。また、断検出回路内の単安定マルチバイブレータ回路のばらつきによる誤動作に対して余裕をとるために、上述の時間幅を2フレーム周期以上に設定するので、クロック信号又はフレームパルス信号に異常が発生してから警報信号が出力されるまでの検出時間が長くなり、異常検出が大幅に遅れることがあるという問題点があった。本発明は上記課題を解決するために、信号数が増えても回路規模が過大にならず検出時間の短縮が可能なクロック出力監視回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、複数のクロック信号の波形を比較してその相違から第1の比較結果信号を生成し、複数のフレームパルス信号の波形を比較してその相違から第2の比較結果信号を生成し、第1又は第2の比較結果信号に基づいてクロック信号及びフレームパルス信号の異常を検出するものである。また、複数のクロック信号の内の1つを基本クロック信号としてこれと他の全てのクロック信号とを波形比較し、その相違を第1の比較結果信号とする第1の比較回路と、複数のフレームパルス信号の内の1つを基本フレームパルス信号としてこれと他の全てのフレームパルス信号とを波形比較し、その相違を第2の比較結果信号とする第2の比較回路と、第1又は第2の比較結果信号が出力されたときに、これを所定時間保持して警報信号として出力する一時保持回路とを有するものである。

【0008】また、第1の比較回路は、基本クロック信号と他のクロック信号の内の1つが入力される複数の排他的論理和回路と、この複数の排他的論理和回路の出力の論理和をとりこの結果を第1の比較結果信号とする論理和回路とからなり、第2の比較回路は、基本フレームパルス信号と他のフレームパルス信号の内の1つが入力される複数の排他的論理和回路と、この複数の排他的論理和回路の出力の論理和をとりこの結果を第2の比較結果信号とする論理和回路と、複数のフレームパルス信号の論理積をとりこの結果をリセット信号とする論理積回路とからなり、一時保持回路は、第1、第2の比較結果信号からノイズを除去する第1、第2の雑音除去回路と、この第1、第2の雑音除去回路から信号が出力されたときにこれを保持してリセット信号の入力により保持を解除する第1、第2の保持回路と、この第1、第2の保持回路の出力の論理和をとりこの結果を警報信号として出力する論理和回路とからなるものである。

【0009】

【作用】本発明によれば、複数のクロック信号の波形比較の結果、又は複数のフレームパルス信号の波形比較の結果によってクロック信号及びフレームパルス信号の異常が検出される。また、一時保持回路は、複数のクロック信号の波形比較の結果である第1の比較結果信号が第

1の比較回路から出力されるか、又は複数のフレームパルス信号の波形比較の結果である第2の比較結果信号が第2の比較回路から出力されたときに、これを所定時間保持して警報信号として出力する。

【0010】また、第1の比較結果信号は、クロック信号を入力とする第1の比較回路で複数の排他的論理和回路の出力から論理和回路にて生成され、第2の比較結果信号は、フレームパルス信号を入力とする第2の比較回路で複数の排他的論理和回路の出力から論理和回路にて生成される。そして、警報信号は、第1、第2の比較結果信号から一時保持回路内の第1、第2の雑音除去回路によってノイズが除去されて第1、第2の保持回路によって保持され、論理和回路によってその論理和がとられることにより生成される。

【0011】

【実施例】図1は本発明の1実施例を示すクロック出力監視回路のブロック図、図2はこのクロック出力監視回路の動作を説明するためのタイミングチャート図であり、図5と同一の部分には同一の符号を付してある。図1において、2はクロック信号CLK1～CLKnの波形を比較してその相違から第1の比較結果信号ALM1を生成する第1の比較回路、3はフレームパルス信号FP1～FPnの波形を比較してその相違から第2の比較結果信号ALM2を生成する第2の比較回路である。

【0012】また、4は比較結果信号ALM1、ALM2が出力されたときにこれを保持してリセット信号RSTの入力によりこの保持を解除する一時保持回路である。なお、クロックパルス発生回路1はn組のクロック信号及びフレームパルス信号を発生するが、図2においては、3組、すなわちクロック信号CLK1～CLK3及びフレームパルス信号FP1～FP3を用いて説明する。

【0013】次に、このようなクロック出力監視回路の動作を説明する。比較回路2は、クロックパルス発生回路1から出力されたクロック信号CLK1～CLKnの波形を比較し、クロック信号の異常検出を行う。図3(a)はこの比較回路2の1実施例を示すブロック図であり、20は排他的論理和回路、21は論理和回路である。

【0014】排他的論理和回路20の各々は、クロック信号CLK1を基本クロック信号として、これと他のクロック信号CLK2～CLKnとの排他的論理和をとる。そして、論理和回路21は、各排他的論理和回路20の出力の論理和をとりこの結果を第1の比較結果信号ALM1として出力する。

【0015】図2(a)～(c)のようにクロック信号CLK1～CLK3に相違がない場合、比較結果信号ALM1は図2(d)のように「L」レベルのままである。なお、比較結果信号ALM1が「L」レベルの位置で現れる出力Aはノイズである。このノイズAは、クロ

ックパルス発生回路1によって生成されるクロック信号CLK1~CLKnが本来同じものであるにも拘らず、回路内の部品のばらつきや伝送線の状態等によってこれらに微小な相違が生じているために発生するものである。

【0016】また、図2(c)の箇所Bのようにクロック信号CLK3に出力断が発生すると、クロック信号CLK1との間に相違が生じ、この相違が「H」レベルの信号となって排他的論理和回路20から出力されるので、これにより比較結果信号ALM1は図2(d)に示すように「H」レベルとなる。このようにして、複数のクロック信号CLK1~CLKn間の相違を検出することにより、クロック信号の異常検出を行う。

【0017】次に、比較回路3は、クロックパルス発生回路1から出力されたフレームパルス信号FP1~FPnの波形を比較し、フレームパルス信号の異常検出を行う。図3(b)はこの比較回路3の1実施例を示すブロック図であり、30は排他的論理和回路、31は論理和回路、32は論理積回路である。

【0018】排他的論理和回路30の各々は、フレームパルス信号FP1を基本フレームパルス信号として、これと他のフレームパルス信号FP2~FPnとの排他的論理和をとる。そして、論理和回路31は、各排他的論理和回路30の出力の論理和をとりこの結果を第2の比較結果信号ALM2として出力する。こうして、比較回路3においても比較回路2と同様の異常検出が行われる。

【0019】また、論理積回路32は、フレームパルス信号FP1~FPnの論理積をとることでリセット信号RSTを生成する。なお、本実施例では、負論理のフレームパルス信号FP1~FPnの何れかが出力断となってもリセット信号RSTを生成できるように論理積回路32を用いているが、リセット信号RSTは一時保持回路4の後述する保持動作を解除するためのものであり、正常なフレームパルス信号FP1~FPn中の1つから生成すればよい。したがって、論理積回路以外の他の構成によってリセット信号RSTを生成することもできる。

【0020】次に、こうして得られた比較結果信号ALM1、ALM2、リセット信号RSTは一時保持回路4に入力される。図4はこの一時保持回路4の1実施例を示すブロック図であり、40は比較結果信号ALM1から前述のノイズAを除去する例えば積分回路からなる第1の雑音除去回路、41は同様に比較結果信号ALM2からノイズAを除去する第2の雑音除去回路である。

【0021】また、42は雑音除去回路40から信号が出力されたときにこれを保持してリセット信号RSTの入力により保持を解除する例えばフリップフロップ回路からなる第1の保持回路、43は同様に雑音除去回路41の出力を保持する第2の保持回路、44は論理和回路

である。

【0022】雑音除去回路40、41は、比較結果信号ALM1、ALM2からクロック信号、フレームパルス信号の異常と無関係なノイズBを除去する。次いで、保持回路42、43はそれぞれ雑音除去回路40、41の出力が「H」レベルになったら、これを所定時間保持する。ここでの所定時間は、最長の場合でフレーム周期になるように設定されており、したがって保持回路42、43はリセット信号RSTの入力によってこの保持を解除するようになっている。

【0023】そして、論理和回路44は保持回路42、43の出力の論理和をとり、この結果を警報信号ALM3として出力する。本実施例では、クロック信号CLK3に出力断が発生したことにより、比較結果信号ALM1が図2(d)のように出力されるので、警報信号ALM3が図2(i)に示すように「H」レベルとなり、リセット信号RSTの入力に伴って「L」レベルに戻っている。

【0024】以上のようにして、クロック信号CLK1~CLKn及びフレームパルス信号FP1~FPnを監視することができ、また波形比較によって異常検出を行うことから、クロック信号及びフレームパルス信号の出力断だけでなく、その波形異常も検出することができる。

【0025】

【発明の効果】本発明によれば、複数のクロック信号の波形比較、又は複数のフレームパルス信号の波形比較の結果によってクロック信号及びフレームパルス信号の異常を検出するので、クロック信号又はフレームパルス信号に異常が発生してから検出するまでの検出時間を大幅に短縮することができると共に、検出時間のばらつきを非常に小さくすることができる。また、波形比較を行うことから、クロック信号又はフレームパルス信号の出力断だけでなく、その波形異常も検出することができる。

【0026】また、第1の比較回路、第2の比較回路、及び一時保持回路からクロック出力監視回路を構成することにより、クロック信号又はフレームパルス信号に異常が発生してから検出するまでの検出時間が非常に短くて検出時間のばらつきも非常に小さく、かつ信号数が増えても回路規模が過大にならないクロック出力監視回路を実現することができる。

【0027】また、第1の比較回路を複数の排他的論理和回路と論理和回路とから構成し、第2の比較回路を複数の排他的論理和回路と論理和回路と論理積回路とから構成し、一時保持回路を第1、第2の雑音除去回路と第1、第2の保持回路と論理和回路とから構成することにより、検出時間が非常に短くて検出時間のばらつきも非常に小さく、かつ信号数が増えても回路規模が過大にならないクロック出力監視回路を簡単な構成で実現することができる。

【図面の簡単な説明】

【図1】 本発明の1実施例を示すクロック出力監視回路のブロック図である。

【図2】 図1のクロック出力監視回路の動作を説明するためのタイミングチャート図である。

【図3】 第1、第2の比較回路の1実施例を示すブロック図である。

【図4】 一時保持回路の1実施例を示すブロック図である。

【図5】 従来のクロック出力監視回路のブロック図で

ある。

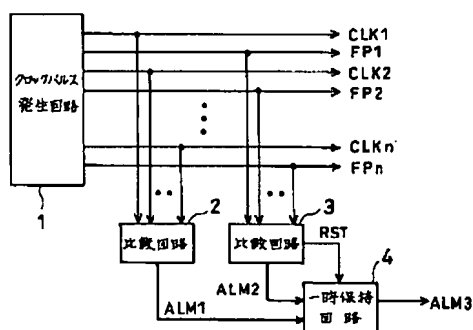
【図6】 図5の断検出回路のブロック図である。

【図7】 図5の断検出回路の動作を説明するためのタイミングチャート図である。

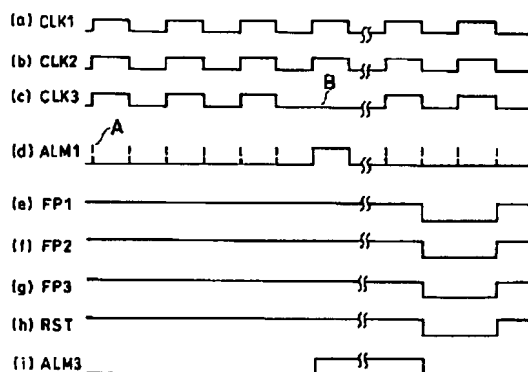
【符号の説明】

1…クロックパルス発生回路、2…第1の比較回路、3…第2の比較回路、4…一時保持回路、20、30…排他的論理和回路、21、31、44…論理和回路、32…論理積回路、40、41…雑音除去回路、42、43…保持回路、10…保持回路。

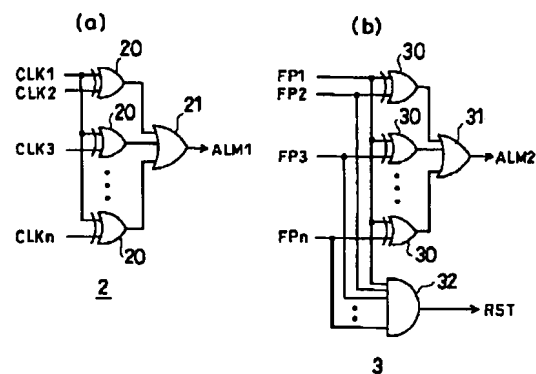
【図1】



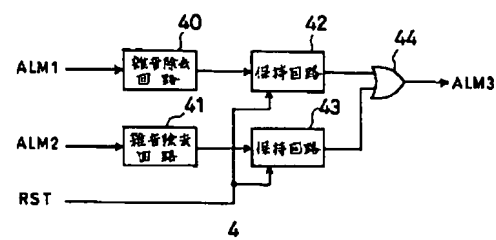
【図2】



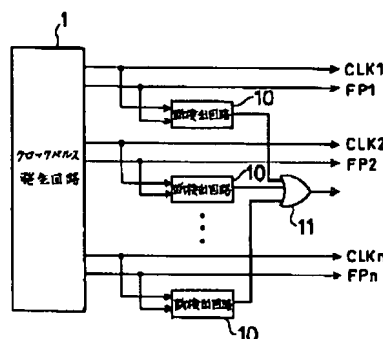
【図3】



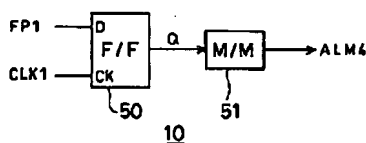
【図4】



【図5】



【図6】



(6)

特開平7-307728

【図7】

